

4/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

008208216 **Image available**
WPI Acc No: 1990-095217/ 199013

Fixture for forming component-mounting solder bumps on circuit board -
has heating-resistor layer formed on transparent substrate NoAbstract
Dwg 1b/9

Patent Assignee: FUJITSU LTD (FUJIT)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2046794	A	19900216	JP 88198479	A	19880809	199013 B

Priority Applications (No Type Date): JP 88198479 A 19880809

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2046794	A	7		

Title Terms: FIX; FORMING; COMPONENT; MOUNT; SOLDER; BUMP; CIRCUIT; BOARD;
HEAT; RESISTOR; LAYER; FORMING; TRANSPARENT; SUBSTRATE; NOABSTRACT
Derwent Class: V04; X24
International Patent Class (Additional): H05K-003/34
File Segment: EPI

4/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

03071294 **Image available**
JIG FOR FORMING SOLDER BUMP

PUB. NO.: 02-046794 [JP 2046794 A]
PUBLISHED: February 16, 1990 (19900216)
INVENTOR(s): HASHIMOTO KAORU
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 63-198479 [JP 88198479]
FILED: August 09, 1988 (19880809)
INTL CLASS: [5] H05K-003/34
JAPIO CLASS: 42.1 (ELECTRONICS -- Electronic Components)
JOURNAL: Section: E, Section No. 922, Vol. 14, No. 210, Pg. 117, April
27, 1990 (19900427)

ABSTRACT

PURPOSE: To flatten top sections of solder bumps by locally heating the solder bumps only by forming resistance body layers on a transparent substrate in corresponding to positions of the solder bumps and a transparent conductive zone by connecting the layers in series or parallel, and then, using a jig which forms an insulating film covering the resistance body layers.

CONSTITUTION: When a solder bump forming jig 5 is placed on a circuit substrate 6 so that resistance body layers 21 can be put on solder bumps 7 formed on the wiring of a circuit substrate 6 and the resistance body layers 21 are conducted through a transparent conductive zone 31, the resistance body layers 21 produce heat which softens or melts the bumps 7 and top sections of the bumps 7 are pressed and flattened due to the weight of the jig 5 or an additional load. when the power supply to the transparent conductive zone 31 is stopped and the jig 5 is removed thereafter, the solder bumps 7 with flat surfaces are formed.

PATENT ABSTRACTS OF JAPAN

US06-NGK-96

(11)Publication number : 02-046794

(43)Date of publication of application : 16.02.1990

(51)Int.Cl.

H05K 3/34

(21)Application number : 63-198479

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.08.1988

(72)Inventor : HASHIMOTO KAORU

(54) JIG FOR FORMING SOLDER BUMP

(57)Abstract:

PURPOSE: To flatten top sections of solder bumps by locally heating the solder bumps only by forming resistance body layers on a transparent substrate in corresponding to positions of the solder bumps and a transparent conductive zone by connecting the layers in series or parallel, and then, using a jig which forms an insulating film covering the resistance body layers.

CONSTITUTION: When a solder bump forming jig 5 is placed on a circuit substrate 6 so that resistance body layers 21 can be put on solder bumps 7 formed on the wiring of a circuit substrate 6 and the resistance body layers 21 are conducted through a transparent conductive zone 31, the resistance body layers 21 produce heat which softens or melts the bumps 7 and top sections of the bumps 7 are pressed and flattened due to the weight of the jig 5 or an additional load. when the power supply to the transparent conductive zone 31 is stopped and the jig 5 is removed thereafter, the solder bumps 7 with flat surfaces are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-46794

⑬ Int. Cl.⁹
H 05 K 3/34

識別記号 庁内整理番号
H 6736-5E

⑭ 公開 平成2年(1990)2月16日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 はんだポンプ成形用治具

⑯ 特 願 昭63-198479

⑰ 出 願 昭63(1988)8月9日

⑱ 発 明 者 橋 本 薫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 寒川 誠一

明 細 書

1. 発明の名称

はんだポンプ成形用治具

2. 特許請求の範囲

〔1〕 はんだポンプの位置に対応して、透明基板
(1) 上に抵抗体層(21)が形成され、

該抵抗体層(21)を直列または並列に接続して
透明導電体帯(31)が形成され、

少なくとも前記抵抗体層(21)をカバーして絶
縁膜(4)が形成されてなる

ことを特徴とするはんだポンプ成形用治具。

〔2〕 前記抵抗体層(21)は、前記透明基板(1)
より突出してなることを特徴とする請求項1記載
のはんだポンプ成形用治具。

3. 発明の詳細な説明

〔概要〕

ピングリッドアレイ型(PCA型)のパッケー
ジ等を回路基板上に裏面実装するに際し、回路基
板上に形成されたはんだポンプの頂上部を平坦化
するためのはんだポンプ成形用治具に関し、

はんだポンプの加熱と押圧とを一つの治具を使
用して行い、しかも、回路基板上に形成されたは
んだポンプのみを局部的に加熱して、その頂上部
を平坦化し、回路基板に与える熱影響を少なくす
るよう改良された、はんだポンプ成形用治具を
提供することを目的とし、

このポンプ成形用治具は、はんだポンプの位置
に対応して透明基板上に抵抗体層が形成され、
この抵抗体層を直列または並列に接続して透明性
導電体帯が形成され、少なくとも前記の抵抗体層
をカバーして絶縁膜が形成されるように構成され
る。

〔産業上の利用分野〕

本発明は、ピングリッドアレイ型(PCA型)
のパッケージ等を回路基板上に裏面実装するに際
し、回路基板上に形成されたはんだポンプの頂上
部を平坦化するための、はんだポンプ成形用治具
に関する。

特開平2-46794 (2)

〔従来の技術〕

今日、コンピュータ等の電子機器の高性能化を実現するため、実装密度を高めることが益々必要となっている。高密度実装法として、表面実装法 (Surface Mount Technology, 略して SMT) が今後の主流となりつつある。この SMT は、パッケージやチップ抵抗、チップコンデンサ等の素子・部品を、スルーホールを使用せず、直接プリント基板等の回路基板上に搭載し、回路基板上に形成されている配線と、はんだ接合する方法である。また、SMT には、パッケージに入っていないフリップチップを接合する時にみられるように、素子・部品を直接回路基板上の配線にはんだ接合する方式と、PGA 型パッケージのように、パッケージから突出しているピンを回路基板上の配線にはんだ接合する方式とがあるが、本発明は、後者の、ピンを回路基板上の配線にはんだ接合する方式に関するものである。

パッケージの側面にピンがグリッド状に配列された PGA 型パッケージ等を回路基板に実装す

はんだパンパ法を使用して PGA 型のパッケージ等を回路基板に搭載する場合には、位置合わせ精度の向上、接合時の位置ずれ防止等のため、回路基板の印刷配線上に形成されるはんだパンパの頂上部を平坦にしておくことが望まれる。平坦にする方法としては、回路基板の上に平板を載せ、平板を介してはんだパンパを上から押圧する方法や、はんだパンパを加熱して軟化あるいは熔融させた状態で、平板を使用して、小さな力をもってはんだパンパを上から押圧する方法等がある。本発明は、後者の加熱する方法に関するものである。

〔発明が解決しようとする課題〕

従来、はんだパンパを加熱するのに、回路基板全体を加熱装置に入れて加熱しており、このため、有機物よりなる回路基板では不所望に加熱されると言う欠点があった。また、加熱装置と平坦化治具との 2 種類の装置を必要とした。

本発明の目的は、この欠点を解消することにある

るに際し、回路基板上に形成されている配線の接合個所に、あらかじめ、はんだペーストを供給しておく方法と、はんだパンパを形成しておく方法とがある。はんだパンパを形成しておく方法は、大きさを厳密に選別したはんだボールを各接合部に供給してパンパを形成するので、接合部 1 個所当りに供給されるはんだ量を正確にコントロールすることができる。これに対し、はんだペーストを使用する方法は、はんだペーストの粘度、はんだペーストを回路基板上の接合部に印刷する時の印刷条件等によって、接合部 1 個所当りに供給されるはんだペーストの量が変動しやすい。実装密度が高密度化するのにもとない、接合部がより微細化し、隣接する接合部相互間の間隔も狭くなるので、はんだの供給量を可能な限り少なくしないと、隣接する接合部相互間に短絡を生ずる可能性がある。したがって、はんだペースト法よりも、はんだ供給量をコントロールし易いはんだパンパ法の方が有利となる場合が今後多くなるものと思われる。

り、はんだパンパの加熱と押圧とを一つの治具を使用して行い、しかも、回路基板上に形成されたはんだパンパのみを局部的に加熱して、その頂上部を平坦化し、回路基板に与える熱的影響を少なくするように改良した、はんだパンパ成形用治具を提供することにある。

〔課題を解決するための手段〕

上記の目的は、回路基板上に形成されたはんだパンパの位置に対応して、透明基板 (1) 上に抵抗体層 (21) が形成され、この抵抗体層 (21) を直列または並列に接続して透明導電体層 (31) が形成され、少なくとも前記の抵抗体層 (21) をカバーして二酸化シリコン膜等の絶縁膜 (4) が形成されている治具によって達成される。

なお、前記治具の前記の抵抗体層 (21) は、前記の透明基板 (1) より突出して形成されると、すでに一部の素子・部品が搭載されている場合等に使用するとき好都合である。

〔作用〕

第7図参照

本発明に係るはんだポンプ成形用治具5においては、回路基板6に形成されたはんだポンプ7に対応して透明基板1上に抵抗体層21が形成されているので、この抵抗体層21がはんだポンプ7上に載るようにはんだポンプ成形用治具5を回路基板6上に設置して、透明導電体帯31を介して抵抗体層21に通電すれば、抵抗体層21が発熱し、この熱によってはんだポンプ7が軟化または熔融する。治具の自重により、または、必要により別に付加される荷重によって、はんだポンプ7は押圧され、はんだポンプ7の頂上部は平坦化する。抵抗体層21の表面に形成されている二酸化シリコン膜4は、はんだとの濡れ性が低いので、熔融したはんだは、付着しない。抵抗体層21以外の構成部品はすべて透明な材料からなっているので、はんだポンプ7と抵抗体層21との位置合わせは極めて容易に可能である。

なお、抵抗体層21を透明基板1より突出して形

成して酸化タンタル層2をパターンニングし、はんだポンプに対応する領域に、直径約0.5mmの抵抗体層21を形成する。

第4図参照

全面にインジウム錫酸化物膜(ITO膜)3を数μm厚に形成する。

第5図、第6図参照

第6図は、第5図の平面図である。

40℃程度に加熱した塩化第二鉄と塩酸との混合液を使用してITO膜3をパターンニングし、抵抗体層21上と透明基板1上の接続配線形成領域を除く領域とから除去して、抵抗体層21を相互に接続する透明導電体帯31を形成する。

第1a図参照

全面に二酸化シリコン膜を形成し、パターンニングして抵抗体層21の上に二酸化シリコン膜4を形成する。なお、二酸化シリコン膜は、パターンニングせず、全面に形成したままにしていてもよい。

通電は、例えば第6図の透明導電体帯31を介して、直列に接続される抵抗体層21s・・・21t、ある

特開平2-46794(3)

成すれば、一部の素子・部品がすでに搭載されている回路基板6に形成されたはんだポンプ7の頂上部を平坦化する場合、すでに搭載されている素子・部品を避けてはんだポンプ成形用治具5をはんだポンプ7上に設置することができる。

〔実施例〕

以下、図面を参照しつつ、本発明に係るはんだポンプ成形用治具の二つの実施例について、その製造工程を説明し、本発明の構成と特有の効果とをさらに明らかにする。

第1例(請求項1に対応)

第2図参照

耐熱性、耐ショック性に優れた1〜2mm厚のバイレックスガラスよりなる透明基板1上に、CVD法を使用して酸化タンタル層2を1μm厚程度に形成する。

第3図参照

40℃程度に加熱したフッ酸と硝酸との混合液を

いは、抵抗体層21s・・・21t等の開始端及び終端部に電圧を印加する。接続法としては、直列、並列いづれでも良い。

第7図再参照、第8図参照

第7図は、回路基板6上に形成された配線(図示せず)上に形成されたはんだポンプ7の上に抵抗体層21が載るように、はんだポンプ成形用治具5を回路基板6上に設置した状態を示す。この状態で透明導電体帯31を介して抵抗体層21に通電すると、抵抗体層21が発熱し、その熱ではんだポンプ7が軟化または熔融し、はんだポンプ成形用治具5の自重、または、別の荷重を付加することによって、はんだポンプ7の頂上部は押圧され、平坦化する。透明導電体帯31への通電を止め、はんだポンプ成形用治具5を取り外すと、第8図に示すように頂上部が平坦化されたはんだポンプ7が形成される。なお、抵抗体層21の表面に形成された二酸化シリコン膜4は、はんだとの濡れ性が低いので、はんだポンプ7が軟化または熔融した時に、はんだが、はんだポンプ成形用治具5に付着

しにくい。

第9図、第10図参照

第9図に示すように、PGA型パッケージ8等のピン9が、はんだポンプ7上に載るようにPGA型パッケージ8を回路基板6上に設置し、通常のVPS (Vapor Phase Soldering) 法を使用してリフローすると、第10図に示すように、PGA型パッケージ8等のピン9が回路基板6のはんだポンプ7の下に形成されている配線(図示せず)と良好に接合される。

第2例(請求項2に対応)

第1b図参照

第1例においては1mm厚程度に形成されることとされていた窒化タンタル層2を、1mm厚程度の厚さに形成する。それ以降の工程は第1例と同じ工程をもって形成されたはんだポンプ成形用治具を第1b図に示す。抵抗体層21が透明基板1から突出して形成されている。なお、抵抗体層21に代えて熱圧着装置等に用いられる抵抗チップを使

が形成されている。

このはんだポンプ成形用治具を使用するには、このはんだポンプ成形用治具の抵抗体層が回路基板に形成されているはんだポンプ上に載るように、はんだポンプ成形用治具を回路基板上に設置し、透明導電体帯を介して抵抗体層に通電する。すると、抵抗体層が加熱され、その熱で抵抗体層の下にあるはんだポンプが軟化あるいは熔融し、はんだポンプ成形用治具の自重、または、必要により別途付加される荷重によってはんだポンプが押圧され、その頂上部が平坦化して、このはんだポンプ成形用治具の本来の目的は達成される。そして、一つの治具で加熱と押圧とが同時にでき、また、上記の工程において、はんだポンプのみが局部的に加熱され、回路基板全体は加熱されないで、有機物等よりなる回路基板が不所望に加熱されることがないので、本発明の目的も達成される。

4. 図面の簡単な説明

第1a図は、本発明の第1実施例に係るはんだポンプ成形用治具の断面図である。

用してもよい。

第11図参照

すでに素子・部品10が搭載されている回路基板6の一部の素子・部品10を交換するような場合、交換される新しい素子・部品10と接合されるはんだポンプ7の頂上部を平坦化する必要があるが、抵抗体層21が透明基板1から突出していると、図に示すように、交換されない素子・部品10を跨いで、はんだポンプ成形用治具5を回路基板6上に形成されているはんだポンプ7の上に設置することができるので好都合である。

(発明の効果)

以上説明せるとおり、本発明に係るはんだポンプ成形用治具においては、PGA型のパッケージ等が搭載される回路基板に形成されたはんだポンプの位置に対応して、透明基板上に抵抗体層が形成され、この抵抗体層を直列または並列に接続するように透明導電体帯が形成され、少なくとも抵抗体層をカバーして二酸化シリコン膜等の絶縁膜

第1b図は、本発明の第2実施例に係るはんだポンプ成形用治具の断面図である。

第2～6図は、本発明の第1実施例に係るはんだポンプ成形用治具の工程図である。

第7～10図は、はんだポンプの頂上部を平坦化し、パッケージ等のピンと接合する工程の説明図である。

第11図は、実施されている一部の素子・部品を交換する時の、はんだポンプ頂上部平坦化の説明図である。

- 1・・・透明基板、
- 2・・・窒化タンタル層、
- 21・・・抵抗体層、
- 3・・・ITO膜、
- 31・・・透明性導電体帯
- 4・・・二酸化シリコン膜等の絶縁膜、
- 5・・・はんだポンプ成形用治具、
- 6・・・回路基板、
- 7・・・はんだポンプ、

(5)

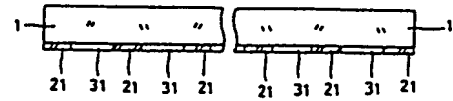
8・・・パッケージ、

9・・・ピン、

10・・・素子・部品。

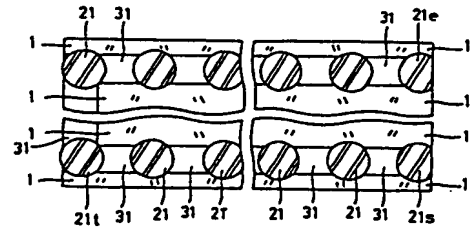
代理人 弁理士 寒川 誠一

特開平2-46794 (5)



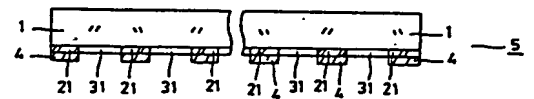
工程図

第 5 図



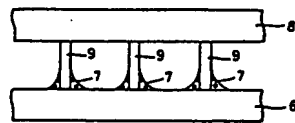
工程図

第 6 図



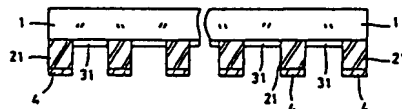
本発明

第 1 a 図

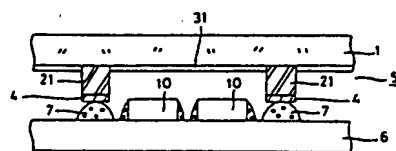


ピン挿合工程

第 10 図

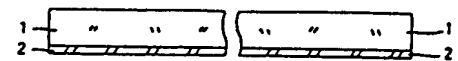


本発明
第 1 b 図



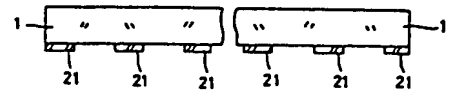
凹んだバンプ平坦化工程図

第 11 図



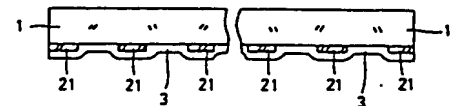
工程図

第 2 図



工程図

第 3 図

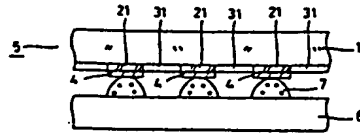


工程図

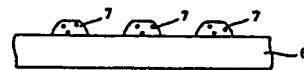
第 4 図

(6)

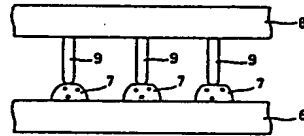
特開平2-46794(6)



はんだバンプ平坦化工程図
第 7 図



平坦化されたはんだバンプ
第 8 図



ワイヤ結合工程
第 9 図